

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-057276

(43)Date of publication of application : 22.02.2002

(51)Int.CI.

H01L 25/065

H01L 25/07

H01L 25/18

H01L 23/12

(21)Application number : 2000-243060

(71)Applicant : IBIDEN CO LTD

(22)Date of filing : 10.08.2000

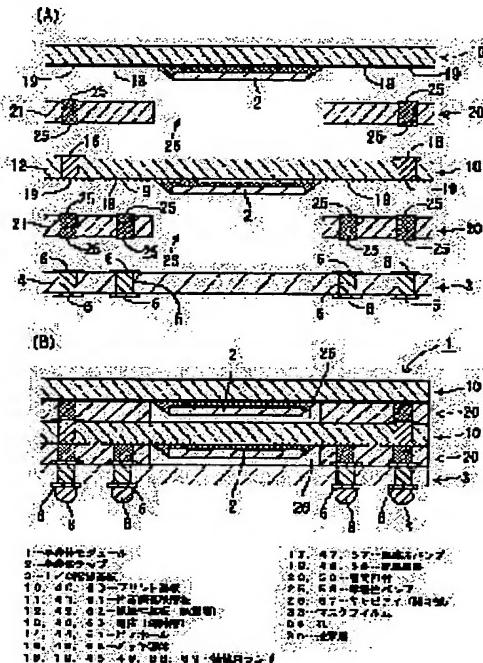
(72)Inventor : KARIYA TAKASHI

(54) METHOD FOR MANUFACTURING SEMICONDUCTOR MODULE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a method for manufacturing a stacked semiconductor module having high connection reliability.

SOLUTION: A via hole 14 reaching a copper foil 13 is made through the insulating basic material 12 of a single side copper clad multilayer plate 11 which is to be a printed board 10. A plated conductor 15 is formed in the via hole 14 to project above the surface and the projecting part is pressed to form a land 16 connectable to the conductive bump 25 of an interlayer member 20. A connection land 19 is also formed on the surface side of a copper foil 63 by etching it. Since connection lands 16, 19 having a wide area are formed on the opposite sides of the printed board 10, electrical connection is ensured regardless of some positional shift at the time of stacking the interlayer member 20.



(1) T18
審査用 1.3 文書

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-57276

(P2002-57276A)

(43) 公開日 平成14年2月22日 (2002.2.22)

(51) Int.Cl.
 H 01 L 25/065
 25/07
 25/18
 23/12

識別記号
 H 01 L 23/12
 25/08
 5 0 1

F I
 H 01 L 23/12
 25/08

テマコード (参考)
 5 0 1 B
 Z

審査請求 未請求 請求項の数 3 OL (全 11 頁)

(21) 出願番号 特願2000-243060(P2000-243060)

(71) 出願人 000000158

イビデン株式会社

岐阜県大垣市神田町2丁目1番地

(22) 出願日 平成12年8月10日 (2000.8.10)

(72) 発明者 斎谷 隆

岐阜県揖斐郡揖斐川町北方1-1 イビデン株式会社内

(74) 代理人 100080687

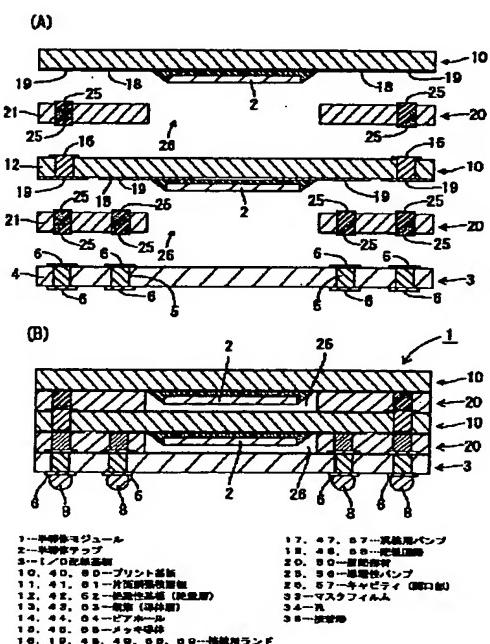
弁理士 小川 順三 (外3名)

(54) 【発明の名称】 半導体モジュールの製造方法

(57) 【要約】

【課題】 接続信頼性の高い積層型の半導体モジュールを製造する方法を提供する。

【解決手段】 プリント基板10となる片面銅張積層板11の絶縁性基材12を貫通して銅箔13に到達するビアホール14を形成する。ビアホール14内に面上に突出するようにメッキ導体15を形成するとともに、その突出部分をプレスして、層間部材20の導電性バンプ25と接続可能な接続用ランド16を形成する。また、銅箔63をエッチング処理することにより、銅箔63面側にも接続用ランド19を形成する。プリント基板10の両面には面積の広い接続用ランド16, 19が形成されているので、層間部材20を積層する際に多少の位置ずれが生じても、電気的接続は確実になされる。



(2) 開2002-57276 (P2002-572t)

【特許請求の範囲】

【請求項1】 所定の配線回路を形成させて一面側に半導体チップを実装したプリント基板を、前記配線回路に接続可能な導電性バンプと前記半導体チップを収容可能な開口部とを備えた層間部材を介して積層する半導体モジュールの製造方法であって、前記プリント基板となる片面銅張積層板の絶縁層を貫通して導体層に到達するピアホールを所定の位置に形成する工程と、前記ピアホール内に前記絶縁層の面上に突出するようにメッキ導体を形成する工程と、前記メッキ導体の突出部分をプレスして押し広げることにより前記層間部材の導電性バンプと接続可能な接続用ランドを形成する工程と、前記導体層により形成された前記配線回路に前記半導体チップを実装する工程と、前記プリント基板と前記層間部材とを交互に積層して接着する工程とを経ることを特徴とする半導体モジュールの製造方法。

【請求項2】 前記片面銅張積層板のピアホール内に前記絶縁層の面上に突出するようにメッキ導体を形成するために、前記片面銅張積層板の前記絶縁層にフィルムを積層して前記ピアホールを形成し、そのピアホールにメッキ導体を形成した後に前記フィルムを剥離することを特徴とする請求項1記載の半導体モジュールの製造方法。

【請求項3】 所定の配線回路を形成させて一面側に半導体チップを実装したプリント基板を、前記配線回路に接続可能な導電性バンプと前記半導体チップを収容可能な開口部とを備えた層間部材を介して積層する半導体モジュールの製造方法であって、前記プリント基板となる片面銅張積層板の絶縁層を貫通して導体層に到達するピアホールを所定の位置に形成する工程と、前記ピアホール内にメッキ導体を形成する工程と、前記片面銅張積層板の絶縁層間に前記ピアホール内のメッキ導体と電気的に連なる導体箔を貼り付ける工程と、この導体箔をエッチングして前記層間部材の導電性バンプと接続可能な接続用ランドを形成する工程と、前記導体層により形成された前記配線回路に前記半導体チップを実装する工程と、前記プリント基板と前記層間部材とを交互に積層して接着する工程とを経ることを特徴とする半導体モジュールの製造方法。

【発明の詳細な説明】**【0001】**

【発明の属する技術分野】本発明は、半導体モジュールの製造方法に関するものである。

【0002】

【従来の技術】近年には、ICチップの高密度実装化に対応するために、ICチップを積層した半導体モジュールを製造する技術が開発されてきている。例えば、特開平9-219490号公報、特開平10-135267号公報、及び特開平10-163414号公報には、そのような積層パッケージが開示されている。

【0003】このような従来の技術では、TSOP (Thin Small Outline Package)、TCP (Tape Carrier Package)、BGA (Ball Grid Array) 等のICパッケージを一層毎に組み立てた後に、複数のICパッケージを積層する。このとき、各層間は、予め各パッケージに設けられた外部接続用の端子を介して接続される。このように従来の工法では、多くの製造工程を経なければならないことから、加工コストが増加していた。

【0004】ところで、図12および図13には、上記のような従来の工法により製造された積層パッケージを示した。図12に示すものは、樹脂でモールドされたパッケージを積層したものである。また、図13は、図12のパッケージを搭載したモジュール基板の側面図および平面図である。このICパッケージ100A、100Bには、IC実装部106と、その上面に実装されたICチップ102と、ICチップ102と外部部品とを接続するリード101と、ICチップ102とリード101とを樹脂内部で接続するボンディングワイヤ103とが設けられている。また、ICチップ102を含む所定の領域は、樹脂体104により被覆されている。

【0005】このような構造のICパッケージ100Aの上側には、他のICパッケージ100Bが積層された状態とされて、基板105に実装されている。

【0006】

【発明が解決しようとする課題】上記のICパッケージ100A、100Bを厚さ方向に積み重ねて、基板105に実装しようとすると、樹脂体104の厚みのために総モジュール厚が厚くなってしまうという問題がある。また、ICパッケージ100A、100Bを横方向に基板105に実装する場合には、総モジュールが大きくなるという問題がある。さらに、上下のパッケージ100A、100Bは、それぞれのリード101によって基板105に接続されているので、パッケージ100A、100Bの積層時に位置ずれが生じると、リード101間が短絡してしまう可能性があった。

【0007】今後は、例えばICカードや携帯電話等の電子機器の小型化に伴い、ICパッケージに対しても、更なる高密度化と薄型化が図られると考えられているが、従来の工法によつては、そのような高密度・薄型化を図ることは困難である。

【0008】この問題を解決するためには、ICチップ102を樹脂体104でモールドする構成を変更し、例えばプリント基板を層間部材を介して積層しながらその層間にICチップを実装するという構成が考えられる。そのような構成を採用した場合には、プリント基板の導体回路は、その表裏に配される層間部材に形成された導電性バンプによって電気的に接続される。

【0009】しかしながら、積層されるプリント基板の導体回路が一面側のみに形成されており、他面側には層間部材と同様の接続用の導電性バンプが形成されている

(3) 開2002-57276 (P2002-572t)

場合には、プリント基板及び層間部材を積層する際に、互いに微少な面積の導電性バンプ同士での接続が行われなければならない。すなわち、積層作業時にほんのわずかな位置ずれが生じただけでも電気的に接続不良となり、接続信頼性が低下してしまうという問題がある。

【0010】本発明は、上記した事情に鑑みてなされたものであり、その目的は、接続信頼性を高めることでできる積層型の半導体モジュールを製造できる方法を提供することにある。

【0011】

【課題を解決するための手段】上記の課題を解決するための請求項1の発明は、所定の配線回路を形成させて一面側に半導体チップを実装したプリント基板を、前記配線回路に接続可能な導電性バンプと前記半導体チップを収容可能な開口部とを備えた層間部材を介して積層する半導体モジュールの製造方法であって、前記プリント基板となる片面銅張積層板の絶縁層を貫通して導体層に到達するピアホールを所定の位置に形成する工程と、前記ピアホール内に前記絶縁層の面上に突出するようにメッキ導体を形成する工程と、前記メッキ導体の突出部分をプレスして押し広げることにより前記層間部材の導電性バンプと接続可能な接続用ランドを形成する工程と、前記導体層により形成された前記配線回路に前記半導体チップを実装する工程と、前記プリント基板と前記層間部材とを交互に積層して接着する工程とを経るところに特徴を有する。

【0012】また請求項2の発明は、請求項1に記載の半導体モジュールの製造方法であって、前記片面銅張積層板のピアホール内に前記絶縁層の面上に突出するようにメッキ導体を形成するために、前記片面銅張積層板の前記絶縁層にフィルムを積層して前記ピアホールを形成し、そのピアホールにメッキ導体を形成した後に前記フィルムを剥離するところに特徴を有する。

【0013】さらに請求項3の発明は、所定の配線回路を形成させて一面側に半導体チップを実装したプリント基板を、前記配線回路に接続可能な導電性バンプと前記半導体チップを収容可能な開口部とを備えた層間部材を介して積層する半導体モジュールの製造方法であって、

前記プリント基板となる片面銅張積層板の絶縁層を貫通して導体層に到達するピアホールを所定の位置に形成する工程と、前記ピアホール内にメッキ導体を形成する工程と、前記片面銅張積層板の絶縁層側に前記ピアホール内のメッキ導体と電気的に連なる導体箔を貼り付ける工程と、この導体箔をエッチングして前記層間部材の導電性バンプと接続可能な接続用ランドを形成する工程と、前記導体層により形成された前記配線回路に前記半導体チップを実装する工程と、前記プリント基板と前記層間部材とを交互に積層して接着する工程とを経るところに特徴を有する。

【0014】

【発明の作用および効果】請求項1の発明によれば、片面銅張積層板の絶縁層に形成されたピアホール内に、絶縁層の面上に突出するようにメッキ導体を形成し、その突出部分をプレスして押し広げることにより、片面銅張積層板の絶縁層側に平坦かつ面積の広い接続用ランドが形成される。また、片面銅張積層板の導体層側には、配線回路の形成時に、配線回路の一部として接続用ランドが形成される。このようにプリント基板の両面に接続用ランドが形成される本発明の構成によれば、従来のような導電性バンプを形成する構成と比較して、層間部材の導電性バンプと接続可能なプリント基板側の接続用ランドの面積が大きい。従って、プリント基板および層間部材を積層する際、積層時の微少な位置ずれによる接続不良を回避することができ、接続信頼性の高い半導体モジュールが得られるという優れた作用効果を奏する。

【0015】また請求項2の発明によれば、片面銅張積層板の絶縁層にフィルムを積層してピアホールを形成し、そのピアホール内にメッキ導体を形成した後にフィルムを剥離することにより、メッキ導体を確実に絶縁層の面上に突出するように形成することができる。従って、このメッキ導体の突出部分をプレスして押し広げることにより、片面銅張積層板の絶縁層側に平坦かつ面積が広い接続用ランドが形成される。このように、本発明においてもプリント基板の両面に接続用ランドが形成されるから、上記請求項1の発明と同様に、接続信頼性の高い半導体モジュールが得られる。

【0016】さらに請求項3の発明によれば、片面銅張積層板の絶縁層側に導体箔が貼り付けられることにより、絶縁層側にも導体層側と同様にエッチング法により面積の広い接続用ランドを形成することができる。従って、本発明においても、上記請求項1および請求項2と同様に、プリント基板の両面に接続用ランドが形成され、接続信頼性の高い半導体モジュールが得られる。

【0017】

【発明の実施の形態】<第1実施形態>以下、本発明を具体化した第1実施形態について、図1～図5を参照しつつ詳細に説明する。本実施形態の半導体モジュール1は、半導体チップ2を実装したプリント基板10と層間部材20とを交互に重ね合わせ、最下層にI/O配線基板3を重ねて熱プレスすることにより一体化された構造となっている(図1参照)。

【0018】まず、半導体チップ2を実装したプリント基板10の製造方法について説明する。プリント基板10の出発材料は、片面銅張積層板11である。この片面銅張積層板11は、例え板状のガラス布エポキシ樹脂により形成される厚さ40μmの絶縁性基板12の一方の面(図2において上面)に、全面に厚さ12μmの銅箔13が貼り付けられた周知の構造である(図2A)。

【0019】この片面銅張積層板11の絶縁性基板12側(図2において下面側)から、所定の位置に例えばバ

(4) 開2002-57276 (P2002-572t)

ルス発振型炭酸ガスレーザ加工装置によってレーザ照射を行うことにより、絶縁性基板12を貫通して銅箔13に達するビアホール14を形成する(図2B)。加工条件は、パルスエネルギーが0.5~10.0mJ、パルス幅が1~100μs、パルス間隔が0.5ms以上、ショット数が3~50の範囲内であることが好ましい。次いで、このビアホール14の内部に残留する樹脂を取り除くためのデスマニア処理を行う。その後、銅箔13面を保護フィルム(図示せず)で保護しておき、銅箔13を一方の電極として電解メッキ法によってビアホール14内にメッキ導体15を形成させる。なおメッキ導体15は、絶縁性基板12の面上に突出する位置まで形成する(図2C)。そしてその後、絶縁性基板12の面上に突出した部分のメッキ導体15をプレスすることにより、片面銅張積層板11の下面側に平坦な接続用ランド16を形成する(図2D)。

【0020】次に、銅箔13側の保護フィルムを剥離した後に、感光性のドライフィルム30を貼り付ける。このドライフィルム30を所定のパターンにより露光・現像処理することにより、孔部31を形成する(図2E)。この孔部31内に電解メッキを施すことにより、半導体チップ2を実装するための実装用バンプ17となるメッキ層を形成する。その後、ドライフィルム30を剥離し、実装用バンプ17を突出させる(図3F)。

【0021】次いで、電着法により、上面側全面と下面側の接続用ランド16上にフォトレジスト層32を形成させる(図3G)。次に、上面側のフォトレジスト層32を所定の配線回路18のパターンに合わせて露光・現像処理する。この後、フォトレジスト層32により保護されていない銅箔13部分をエッチング処理することにより、配線回路18を形成させる(図3H)。配線回路18の一部は、後述する層間部材20の導電性バンプ25と接続するための接続用ランド19とされている。最後に、フォトレジスト層32を除去することにより、プリント基板10の製造が完了する(図3I)。

【0022】このプリント基板10の上面側の中央部分には、半導体チップ2が実装される(図3J)。半導体チップ2は、プリント基板10の中央に接着層7により固定され、半導体チップ2の下面側に形成された端子部(図示せず)が実装用バンプ17に埋め込まれることにより、プリント基板10の配線回路18と電気的に接続される。

【0023】次に、層間部材20の製造方法について説明する。層間部材20の出発材料は、例えばガラス布基材にエボキシ樹脂を含浸し、加熱半硬化状態として板状に形成されたプリフレグ21である(図4A)。このプリフレグ21の厚さは、後述のキャビティ(本発明の開口部に該当する)26内に半導体チップ2を収容する必要性から、プリント基板10の上面から半導体チップ2の上面までの高さよりもやや高く、例えば130μmと

されている。また、プリフレグ21の上面および下面の面積は対向するプリント基板10の面積と略等しくされている。

【0024】このプリフレグ21の両面をPET製の保護フィルム22で保護しておき(図4B)、対向するプリント基板10の接続用ランド16, 19に対応する位置に、例えばパルス発振型炭酸ガスレーザ加工装置によってレーザ照射を行うことにより、プリフレグ21の厚さ方向に貫通するスルーホール23を形成させる(図4C)。

【0025】このスルーホール23内に、導電性ペースト24を充填する(図4D)。充填は、例えばスクリーン印刷機を使用して導電性ペースト24を保護フィルム22上から印刷することにより行うことができる。そして、保護フィルム22を剥離すると、導電性ペースト24は保護フィルム22の厚さ分だけプリフレグ21の表面から突出されて導電性バンプ25とされる(図4E)。

【0026】そして、プリフレグ21の中央部分に例えばレーザ照射を行うことによりキャビティ26を貫通形成させて、層間部材20の製造が完了する(図4F)。キャビティ26の大きさは半導体チップ2の外形寸法よりやや大きくなれて、その内部に半導体チップ2を収容可能とされている。

【0027】上記のように製造されたプリント基板10と層間部材20とを交互に重ね合わせる(図5A)。このとき、最上層にはプリント基板10が、半導体チップ2が実装された面が下面側になるように配置され、その下方には層間部材20が配置される。層間部材20は、そのキャビティ26内にプリント基板10の半導体チップ2を収容し、また、導電性バンプ25がプリント基板10の接続用ランド16, 19と接続可能なように重ね合わせられる。この時、プリント基板10の接続用ランド16, 19は層間部材20の導電性バンプ25と比較して面積が広いので、多少の位置ずれが生じた場合でも、電気的接続は確実になれる。そして、その下方にはさらにプリント基板10および層間部材20が同様に重ね合わせられ、最下層にはI/O配線基板3が積層される。このI/O配線基板3は、絶縁性基板4の所定の位置にビアホール5が形成され、その上下に所定の配線回路(図示せず)およびランド6が形成されたものである。

【0028】次いで、プレスにより加圧加熱を行うと、プリフレグ21はいったん溶融流動し、時間の経過に伴って硬化するとともに上下のプリント基板10およびI/O配線基板3と接着して、半導体モジュール1が形成される。このとき、各プリント基板10の接続用ランド16, 19、およびI/O配線基板3のランド6と、隣接する層間部材20の導電性バンプ25とが接続されており、これにより上下のプリント基板10およびI/O

(5) 開2002-57276 (P2002-572t)

配線基板3の配線回路間が電気的に接続される。また、I/O配線基板3の下面側のランド6には、外部基板との接続用のはんだボール8が形成される(図5B)。

【0029】上述した本実施形態の半導体モジュールの製造方法によれば、プリント基板40にはその両面に接続面積の広い接続用ランド16, 19が形成されているから、従来のように接続面積の狭い接続用バンプにより層間部材20との接続を図る構成と比較して、接続不良を大幅に減少させ、接続信頼性の高い半導体モジュールを製造することができるという優れた作用効果をする。

【0030】<第2実施形態>本実施形態の半導体モジュールは、プリント基板の絶縁性基板側に形成される接続用ランドの形成方法および使用される層間部材が上記第1実施形態と相違する。

【0031】すなわち、まず片面銅張積層板41の絶縁性基板42側(図6において下面側)の面を、例えばポリエチレンテレフタート(PET)製のフィルム33で保護しておく(図6A)。そして、フィルム33側から所定の位置に例えばパルス発振型炭酸ガスレーザ加工装置によってレーザ照射を行うことにより、絶縁性基板42を貫通して銅箔43に達するビアホール44を形成し(図6B)、このビアホール44の内部に残留する樹脂を取り除くためのデスマニア処理を行う。その後、銅箔43面を保護フィルム(図示せず)で保護しておく、銅箔43を一方の電極として電解メッキ法によってビアホール44内およびフィルム33の孔内にメッキ導体45を形成させる(図6C)。そしてフィルム33および保護フィルムを剥離することにより、プリント基板40の下面上ほぼ垂直な状態となるようにメッキ導体45を突出させ(図6D)、その突出部をプレスして押し広げることにより、平坦で面積の広い接続用ランド46を形成する(図7E)。

【0032】上記の方法により絶縁性基板42側に接続用ランド46を形成した後は、上記第1実施形態と同様に、銅箔43側に半導体チップ2を実装するための実装用バンプ47および配線回路48を形成する。なお、配線回路48の一部は、後述する層間部材50の導電性バンプ56と接続するための接続用ランド49とされる。また、このプリント基板40の上面側の中央部分には、半導体チップ2が実装され、プリント基板40の配線回路48と電気的に接続される(図7F)。

【0033】次に、層間部材50の製造方法について説明する。本実施形態においては、上記第1実施形態のプリフレグ21の替わりに、板状のガラス布基材エポキシ樹脂により形成される絶縁性基材51を使用する(図8A)。この絶縁性基材51の厚さは、後述のキャビティ(本発明の開口部に該当する)56内に半導体チップ2を収容する必要性から、プリント基板40の上面から半導体チップ2の上面までの高さよりもやや厚く、例えば130μmとされている。また、絶縁性基材51の上面

および下面の面積は対向するプリント基板40の面積と略等しくされている。

【0034】この絶縁性基材51の両面に接着層52を形成させておき、さらにその上面をPET製の保護フィルム53で保護しておく(図8B)。次いで、保護フィルム53の上から、対向するプリント基板40の接続用ランド46, 49に対応する位置に、例えばパルス発振型炭酸ガスレーザ加工装置によってレーザ照射を行うことにより、絶縁性基材51の厚さ方向に貫通するスルーホール54を形成させる(図8C)。

【0035】このスルーホール54内に、導電性ペースト55を充填する(図8D)。充填は、例えばスクリーン印刷機により導電性ペースト55を保護フィルム53上から印刷することにより行うことができる。そして、保護フィルム53を剥離すると、導電性ペースト55は保護フィルム53の厚さ分だけ接着層52の表面から突出されて導電性バンプ56とされる(図8E)。

【0036】そして、絶縁性基材51の中央部分に、例えばレーザ照射を行うことによりキャビティ57を貫通形成させて、層間部材50の製造が完了する(図8F)。キャビティ57の大きさは半導体チップ2の外形寸法よりやや大きくなれて、その内部に半導体チップ2を収容可能とされている。

【0037】上記のように製造されたプリント基板40と層間部材50とを、上記第1実施形態と同様に交互に重ね合わせる(図9A)。このとき、層間部材50の導電性バンプ56はプリント基板40の接続用ランド46, 49と接続可能なように重ね合わせられるが、プリント基板40の接続用ランド46, 49は面積が広いから、多少の位置ずれが生じても導電性バンプ56との電気的接続は確実になされる。そして、最下層にはI/O配線基板3が積層される。

【0038】次いで、加熱真空プレスすることによって、接着層52が硬化して上下のプリント基板40およびI/O配線基板3と接着し、半導体モジュール1が形成される(図9B)。そして、層間部材50に形成されたスルーホール54により、上下のプリント基板40およびI/O配線基板3の配線回路間が電気的に接続される。このとき、各プリント基板40の接続用ランド46, 49、およびI/O配線基板3のランド6と、隣接する層間部材50の導電性バンプ56とが接続されており、これにより上下のプリント基板40およびI/O配線基板3の配線回路間が電気的に接続される。

【0039】上述した本実施形態の半導体モジュールの製造方法によれば、上記第1実施形態と同様に、プリント基板40にはその両面に接続面積の広い接続用ランド46, 49が形成されているから、電気的な接続不良を大幅に減少させ、接続信頼性の高い半導体モジュールを製造することができるという優れた作用効果をする。

【0040】<第3実施形態>本実施形態の半導体モジ

(6) 開2002-57276 (P2002-572t)

ュールは、プリント基板の絶縁性基板側に形成される接続用ランドの形成方法が上記第1および第2実施形態と相違する。

【0041】まず、片面銅張積層板61の絶縁性基板62側(図10において下面側)から、所定の位置に例えばパルス発振型炭酸ガスレーザ加工装置によってレーザ照射を行うことにより、絶縁性基板62を貫通して銅箔63に達するピアホール64を形成し(図10A)、このピアホール64の内部に残留する樹脂を取り除くためのデスマニア処理を行う。その後、銅箔63面を保護フィルム(図示せず)で保護しておき、銅箔63を一方の電極として電解メッキ法によってピアホール64内にメッキ導体65Aを形成させる(図10B)。なお、メッキ導体65Aの充填深さは、その上面が絶縁性基板62の表面と同一になる程度としておく。そしてさらに、例えばハンダのようなメッキ導体65Aよりも低融点のメッキ導体65Bを、メッキ導体65Aの表面を覆う程度にメッキする(図10C)。

【0042】その後、保護フィルムを剥離して、絶縁性基板62側の全面に接着層36を形成する(図10D)。そしてこの接着層36に厚さ12μm銅箔63を圧着積層させて、両面に銅箔63を具備しかつピアホール64内にメッキ導体65を有する積層板とする(図10E)。

【0043】次に、上記第1実施形態と同様に、銅箔63上に半導体チップ2を実装するための実装用バンプ67を形成する(図11F)。次いで、積層板の上面側および下面側の全面に電着法によりフォトトレジスト層32を形成させる(図11G)。そして、上面側のフォトトレジスト層32を所定の配線回路18のパターンに合わせて露光・現像処理するとともに、下面側のフォトトレジスト層32をピアホール63の位置に接続用ランド66が形成されるように露光・現像処理し、その後、フォトトレジスト層32により保護されていない銅箔63部分をエッチング処理することにより、配線回路68および接続用ランド66, 69を形成させる(図11H)。なお、上面側の接続用ランド69は、配線回路68の一部として形成される。その後、フォトトレジスト層32を除去する(図11I)。

【0044】そして最後に、このプリント基板60の上面側の中央部分に半導体チップ2が実装され、プリント基板60の配線回路68と電気的に接続されて、プリント基板60の製造が終了する。

【0045】上記のように製造されたプリント基板60と、例えば上記実施形態1と同様の層間部材20とを、図5のように交互に重ね合わせ、プレスにより加圧加熱を行って半導体モジュール1を形成する。このとき、各プリント基板60の接続用ランド66, 69、およびI/O配線基板3のランド6と、隣接する層間部材20の導電性バンプ25とが接続されており、これにより上下

のプリント基板60およびI/O配線基板3の配線回路間が電気的に接続される。

【0046】上述したように、本実施形態においても上記第1および第2実施形態と同様に、プリント基板60にはその両面に接続面積の広い接続用ランド66, 69が形成されているから、電気的な接続不良を大幅に減少させ、接続信頼性の高い半導体モジュールを製造することができるという優れた作用効果をする。

【0047】<他の実施形態>本発明の技術的範囲は、上記した実施形態によって限定されるものではなく、例えば、次に記載するようなものも本発明の技術的範囲に含まれる。その他、本発明の技術的範囲は、均等の範囲にまで及ぶものである。

【0048】(1) 上記実施形態では、半導体モジュール1はそれぞれ2枚のプリント基板と層間部材、およびI/O配線基板5層で構成されているが、本発明によれば積層枚数はこれら実施形態の限りではなく、例えば1枚のプリント基板、層間部材およびI/O配線基板の3層で構成されてもよい。あるいはそれぞれ3枚のプリント基板と層間部材、およびI/O配線基板の7層で構成されてもよく、さらに多層化させてもよい。

【0049】(2) 上記実施形態では、電解メッキ法によってメッキ導体を形成させているが、本発明によればメッキ導体の形成方法はこれら実施形態の限りではなく、例えば無電解メッキによって形成させてもよい。

【0050】(3) 上記第2実施形態では、絶縁性基板43にフィルム33を積層させてからピアホール44を形成し、その後メッキ導体45を形成する構成としたが、例えば、絶縁性基板43にピアホール44を形成した後に、ピアホール44に対応する位置に孔が形成されたフィルムを重ね合わせ、その後メッキ導体45を形成する構成としてもよい。また、その場合には、孔をピアホール44より径大としておくことにより、より広い面積の接続用ランドを形成することが可能となる。

【0051】(4) 上記第3実施形態では、プリント基板60のピアホール64内は2層のメッキ導体65A, 65Bで充填される構成であるが、これに限らず、例えば1層の低融点金属のみで充填させる構成としてもよく、要は銅箔63との接着性が良好な構成であればよい。

【0052】(5) 上記第3実施形態では、絶縁性基板62に接着層36を積層させて銅箔63を貼り付ける構成としたが、銅箔63側に接着層36を形成して絶縁性基板62に貼り付ける構成としてもよい。

【0053】(6) 上記実施形態で製造されるプリント基板と層間部材のそれぞれの種類の組み合わせは任意であり、限られるものではない。

【図面の簡単な説明】

【図1】本発明の実施形態におけるプリント基板と層間部材とを積層させて半導体モジュールを製造する前の様

(7) 開2002-57276 (P2002-572t)

子を示す斜視図

【図2】第1実施形態のプリント基板の製造方法を示す断面図-1

【図3】同じくプリント基板の製造方法を示す断面図-2

【図4】同じく層間部材の製造方法を示す断面図

【図5】同じくプリント基板と層間部材とを積層させた断面図

【図6】第2実施形態のプリント基板の製造方法を示す断面図-1

【図7】同じくプリント基板の製造方法を示す断面図-2

【図8】同じく層間部材の製造方法を示す断面図

【図9】同じくプリント基板と層間部材とを積層させた断面図

【図10】第3実施形態のプリント基板の製造方法を示す断面図-1

【図11】同じくプリント基板の製造方法を示す断面図-2

【図12】従来におけるICパッケージの側断面図

【図13】(a) 従来におけるICパッケージを実装した基板の側面図

(b) 従来におけるICパッケージを実装した基板の平面図

【符号の説明】

1…半導体モジュール

2…半導体チップ

3…I/O配線基板

10, 40, 60…プリント基板

11, 41, 61…片面銅張積層板

12, 42, 62…絶縁性基板(絶縁層)

13, 43, 63…銅箔(導体層)

14, 44, 64…ビアホール

15, 45, 65…メッキ導体

16, 19, 46, 49, 66, 69…接続用ランド

17, 47, 67…実装用バンブ

18, 48, 68…配線回路

20, 50…層間部材

25, 56…導電性バンブ

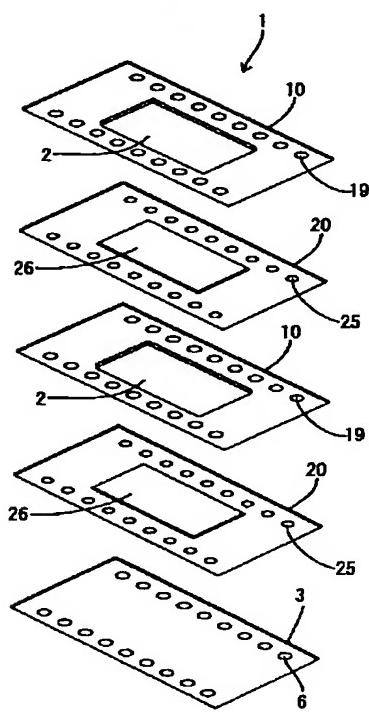
26, 57…キャビティ(開口部)

33…フィルム

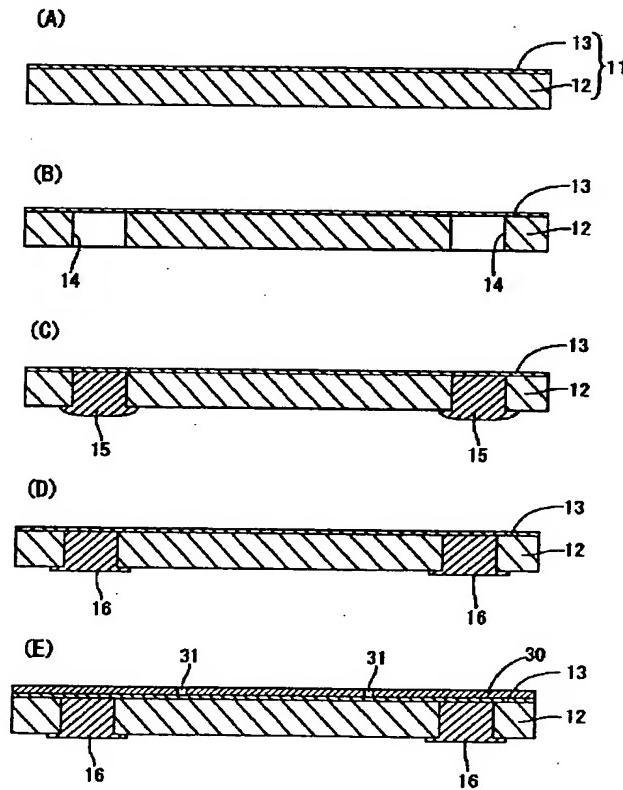
34…孔

36…接着層

【図1】

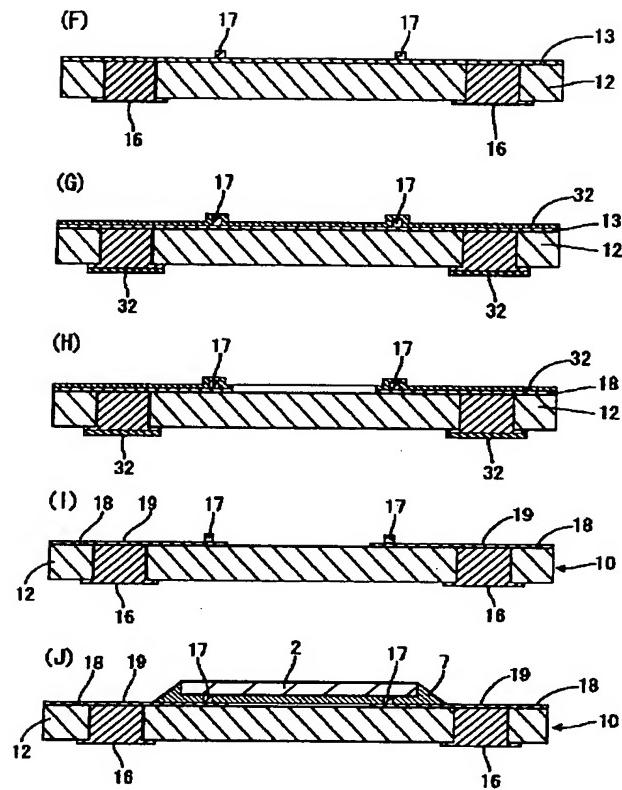


【図2】

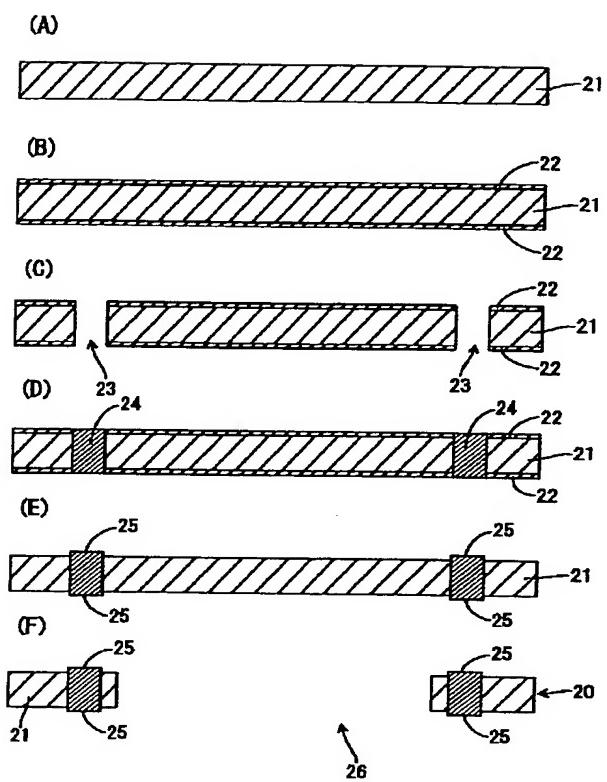


(8) 開2002-57276 (P2002-572t)

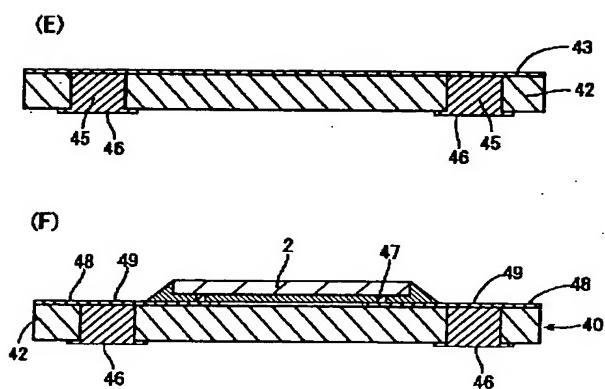
【図3】



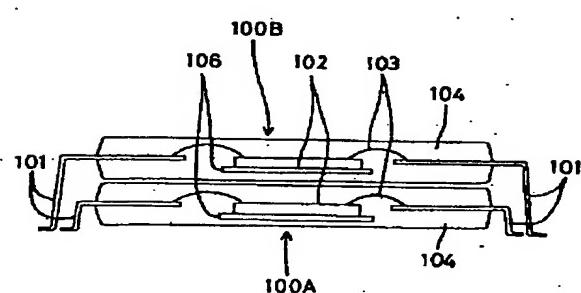
【図4】



【図7】

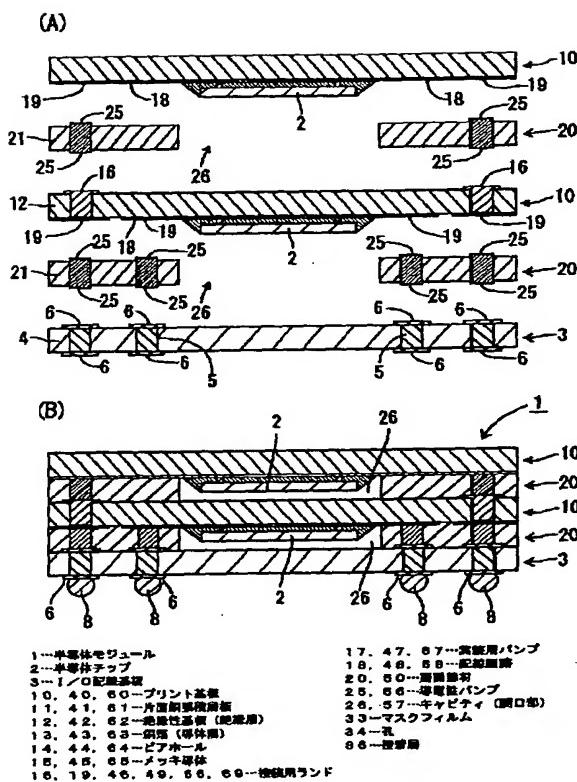


【図12】

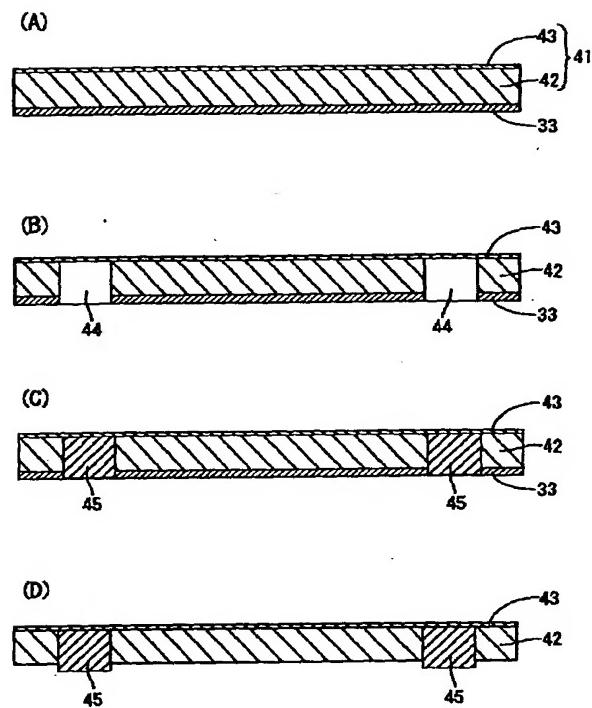


(9) 開2002-57276 (P2002-572t)

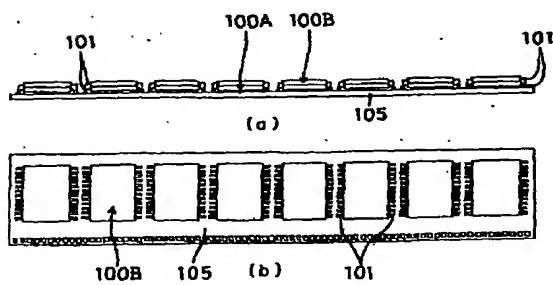
【図5】



【図6】

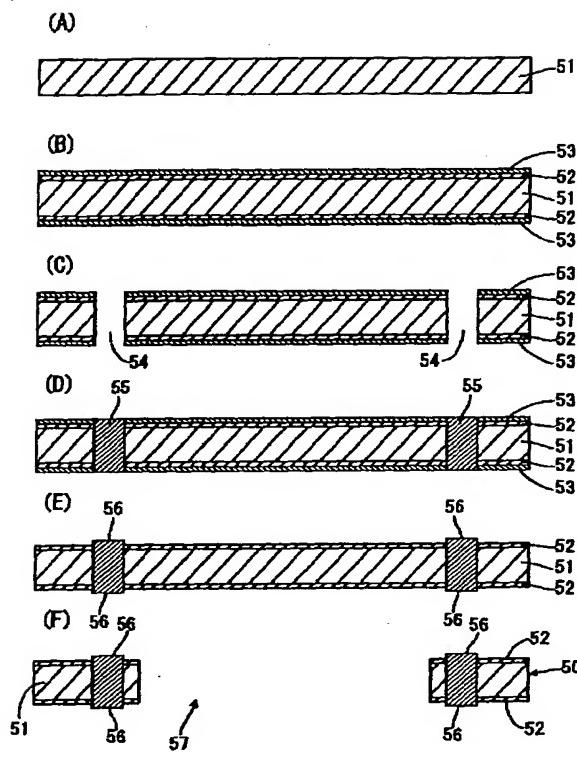


【図13】

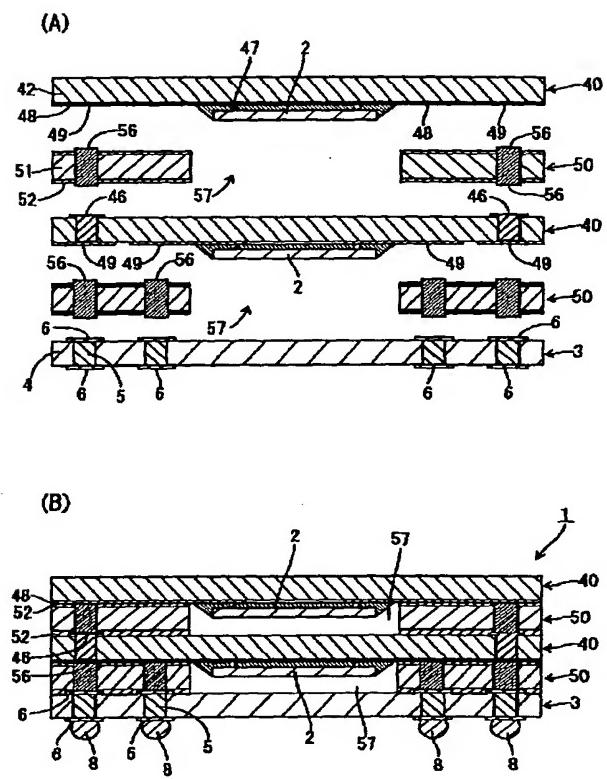


(10) 2002-57276 (P2002-572t)

【図8】

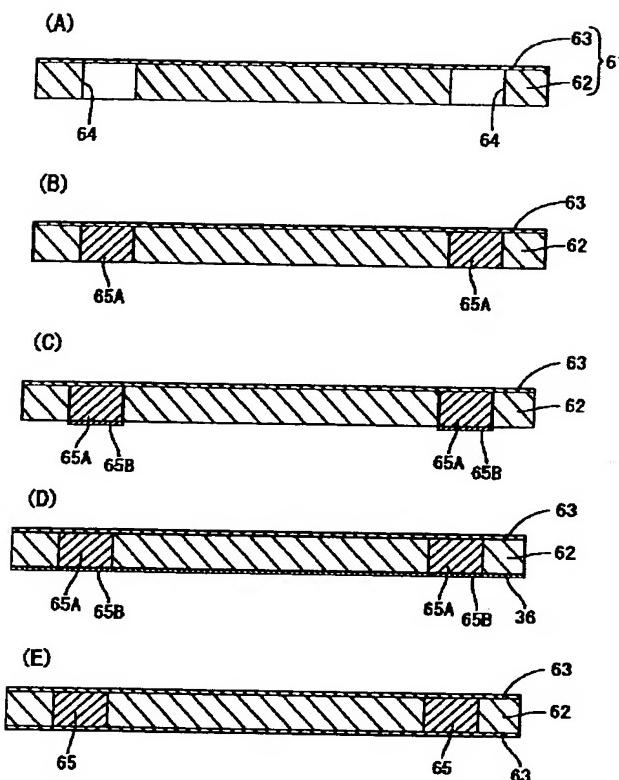


【図9】



(11) 2002-57276 (P2002-572t)

【図10】



【図11】

